

# FPGA/SoC向け速度推定IPの開発

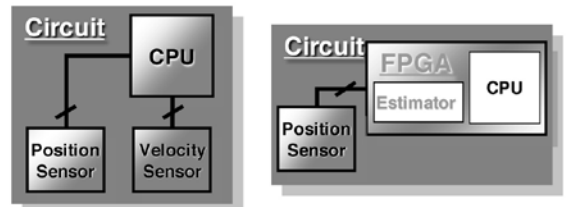
○金田 泰昌\*<sup>1)</sup>、入月 康晴\*<sup>1)</sup>

## 1. はじめに

速度センサの削減のために、従来はCPUで速度推定を処理していた。しかし、図1のように、速度推定をFPGAで実現できれば、CPUや速度推定器をワンチップに集積できるため、部品点数・実装面積の削減が可能となる。さらに、CPUの負荷が下がるため、同スペックのCPUでより高度な制御アルゴリズムを処理させることができる。

速度推定器をFPGAに実装する際、他のペリフェラルも同時に実装するため、速度推定器を小規模回路で実現する必要がある。速度推定にしばしば用いられる疑似微分器は構造が単純なため、デジタル実装の際に回路規模が小さくなると期待される。しかしながら、疑似微分器を離散化する際に、離散化誤差が大きくなるという問題がある。

本研究では、リチャードソン補外(RE)と非整数遅延(FD)を用いて離散化誤差を低減した。また、FDの実装には近似を用いるのが通常であるが、本研究ではFDの実装が高速サンプリングシステムの実装と等価であることを示し、FPGAを用いて実装した。



(a) before (b) after

図1. 研究のコンセプト

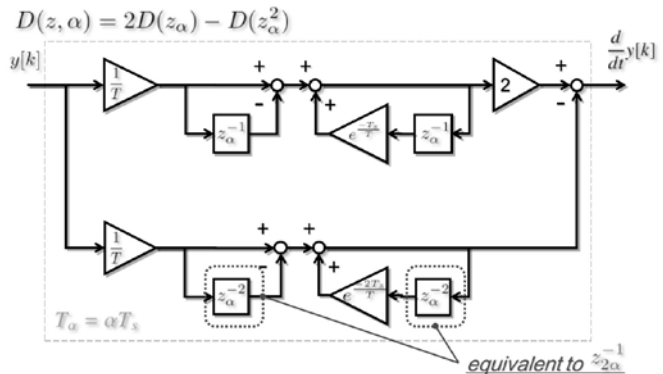


図2. 提案微分器のアーキテクチャ

## 2. 実験方法

提案微分器のアーキテクチャを図2に示す。これより、離散化誤差が低減されることが数学的に証明できる(証明省略)。この微分器に対して、振幅1、周波数10Hzの正弦波を加え、推定結果の誤差の標準偏差を評価した。

## 3. 結果・考察

図3に時間応答(点線:疑似微分器、実線:提案微分器)を、表1に誤差の標準偏差を示す。この結果より、提案微分器を用いた場合、離散化誤差が少ないため、推定誤差が小さくなっていることがわかる。

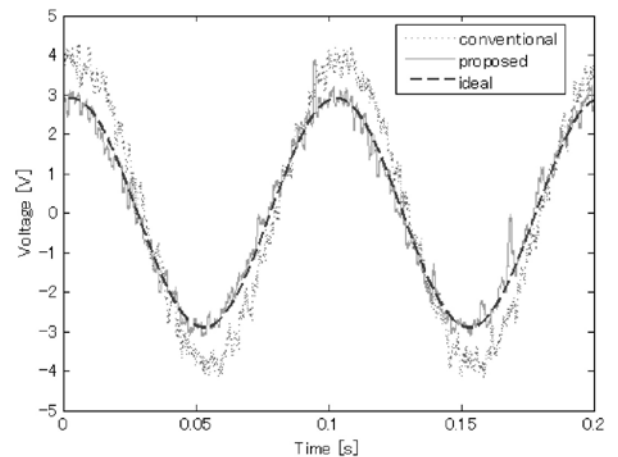


図3. 結果(点線=従来、実線=提案)

## 4. まとめ

REおよびFDを用いることで、疑似微分器の離散化誤差を低減できた。実験によりその有効性を確認した。

表1. 結果(誤差の標準偏差)

Input frequency	Conventional	Proposed
10Hz	$8.91 \times 10^{-1}$	$6.90 \times 10^{-1}$

\*1) 情報技術グループ