

## 論文

# 高速パルスノイズ (EFT/B) 抑制のための 対策部品活用の研究

上野 武司\*<sup>1)</sup> 高松 聡裕\*<sup>1)</sup> 大森 学\*<sup>1)</sup>

## Studying the use of EMC-suppression components against high-speed pulse noise

Takeshi Ueno\*<sup>1)</sup>, Toshihiro Takamatsu\*<sup>1)</sup>, Manabu Ohmori\*<sup>1)</sup>

In this study, we established a method of observing the waveform of the test burst EFT / B. The probe used in ordinary oscilloscope waveform ringing occurs in the burst. So we fabricated this probe. As a result, we were able to suppress this ringing. A burst waveform was reproduced using a circuit simulator. This is the first study to connect a capacitor in parallel with the load resistance as protection against EMC and was further verified in the simulations. The analysis results increase as the capacitance of the capacitor increases. From this the burst waveform is considered to be reduced. Analysis of the results of this simulation is consistent with the use of a capacitance of 2.2 $\mu$ F.

キーワード：電磁両立性, 電氣的ファストトランジェントバースト

Keywords : EMC, EFT/B

### 1. 緒言

電子機器は、電磁両立性 (EMC) の要求がある。その EMC に関する測定及び試験が国際規格で定められている。EMC 試験の一つに、電氣的ファストトランジェントバースト (EFT/B) 試験がある。この試験は、国際規格 IEC61000-4-4<sup>(1)</sup> で定められており、試験品の電源ポートや信号ポートに繰り返しの早い過渡的妨害を印加したときの誤動作を調べる試験である。この試験は、CE マーキング取得において、必須の試験項目であり、そこで都産技研においても試験機を設置し、依頼試験ならびに機器利用を通じて、都内中小企業に対し技術支援を行っている。

都産技研においては、様々な EMC 試験を実施し、試験品に不具合が生じたときに対策を施す必要があるため、EFT/B 試験における各種の対策事例を収集しておくことが重要となる。

しかし、この EFT/B 試験においては、静電気イミュニティ試験に比べて研究事例が少ない。EFT/B 試験の回路例は、国際規格<sup>(1)</sup>に示されているが、構成する部品の回路定数が明確ではなかった。国際規格においては、立ち上がり速度 5ns のバースト波形が定められているが、この波形に合致した回路定数の計算例を示した報告<sup>(2)</sup>が最近ある。ただし、この報告例は、あくまでもバースト試験機から発生する直接の波形に関するものである。

上流設計支援を行う場合、回路設計段階でのシミュレーションでの波形予測や EMC 対策部品の効果算定が必要で、さらにシミュレーションモデルの作成となるための負荷状態での正確なバースト波形の評価が必要となる。

そこで、本研究では、この報告にある回路を参考にして、さらに実際の試験機を模擬した負荷を接続した電源ポートにどのようなバースト波形が印加されているかを測定する方法及び波形を明らかにした。またこの波形をシミュレーションにより再現し、その対策方法の一つとして考えられるコンデンサの適用方法を検討した。そしてシミュレーション結果から、EFT/B 試験に対する適切な対策方法を提案するなど、上流設計支援に役立てることを可能とした。

### 2. 実験方法

**2.1 EFT/B試験方法** EFT/B試験は、国際規格 IEC 61000-4-4に準拠した。試験で電源ポートならびに通信ポートにそれぞれコモンモードでバースト波形を印加する方法がとられているが、通信ポートの場合、カップリングクランプを使用する際にクランプとケーブル間の静電容量の条件が決まらないことが予想されることから、本研究では電源ポートを中心に実施した。EFT/B試験機は、EM TEST 製 UCS500Mを用いた。

この試験機に、1mの配線を接続し、100 $\Omega$ の抵抗負荷を接続し、さらにグラウンド基準面に接地した。そして電源線は、グラウンド基準面から10cmの高さに配置した。バースト波形の立ち上がり速度も5nsで、このときの周波数特性は約60MHzと推定される。そのため、電源線は分布定数回路を

事業名 平成23年度 基盤研究

\*<sup>1)</sup> 電子・機械グループ

適用し、配線内のインダクタンス及び配線—グランド基準面の静電容量を考慮に入れた。これらを求めるため、以下の平行対ケーブルの計算式を参考にした<sup>(3)</sup>。

$$L=0.92 \times \log(d/a) \quad [\mu\text{H/m}] \quad (1)$$

$$C=12.1 \times \epsilon' / \log(d/a) \quad [\text{pF/m}] \quad (2)$$

ここで、 $d$ は平行対ケーブルの中心間距離、 $a$ は配線の半径、 $\epsilon'$ は有効比誘電率である。本研究では、 $L=1.5 \mu\text{H}$ 、 $C=11\text{pF}$ と算出し、この値はシミュレーション回路にも適用した。

**2.2 シミュレーション方法** EFT/Bの波形は、回路シミュレーションを用いて再現した。使用したソフトウェアは、LTspice IVである。試験機の回路は、文献<sup>(2)</sup>を参考に作成した。その回路図を図1に示す。また、図1の回路を構成する電子部品の回路定数を表1に示す。

初めに、EFT/B試験機に負荷を接続しないときのバースト波形をシミュレーションで再現できることを確認した。実際のバースト波形を図2に示す（印加電圧は200Vとした）。

図1の回路図でシミュレーションした結果を図3に示す。実際の波形と同等の印加電圧、立ち上がり速度が再現できた。

**2.3 バースト波形観察用プローブ** バースト波形の観察は、オシロスコープ（アジレント製DSO5054A）で実施した。通常の100:1プローブでバースト波形を観察した場合、リングングの現象も併せて見られた。そこで、オシロスコープのケーブルの代わりにアッテネータと同軸ケーブルで構成される試作プローブで観察した。試作したプローブの回路図を図4に示す。

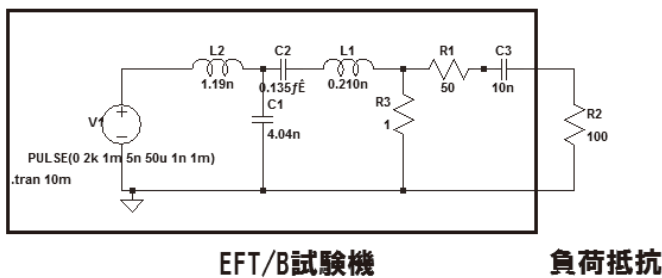


図1. EFT/B試験の回路（配線が無い状態）

部品	値
$R_s$	$1 \Omega$
$C_c$	$014 \mu\text{F}$
$L_0$	$0.21\text{nH}$
$C_p$	$4.0\text{nF}$
$L_s$	$1.2\text{nH}$

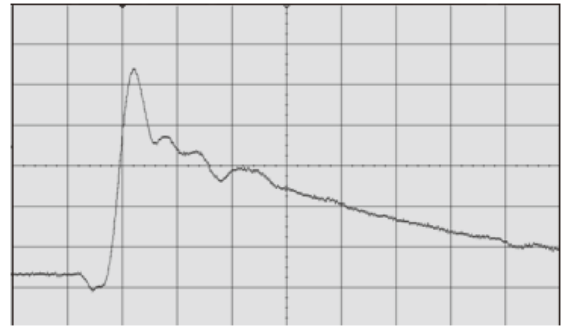


図2. 実際のバーストの出力波形

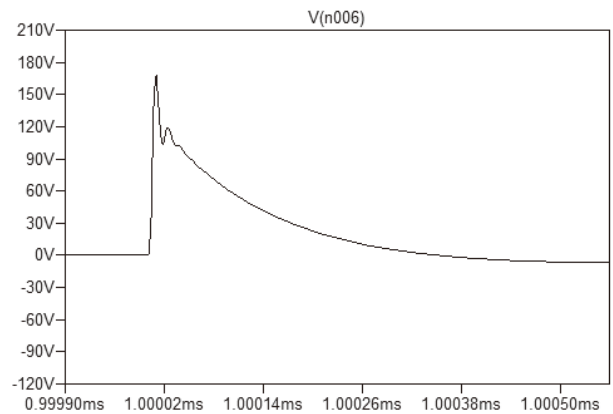


図3. バーストのシミュレーション波形

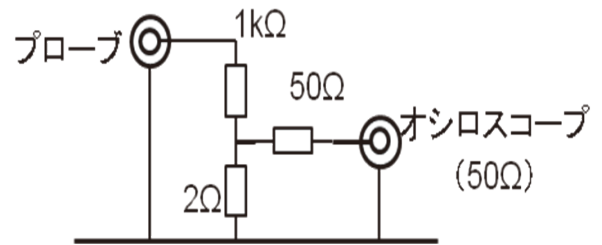


図4. アッテネータの回路図

**2.4 負荷の等価回路** 電源線に接続した負荷抵抗やコンデンサは、周波数特性を持つ。そのため、これらの部品でシミュレーションを行う場合、等価回路を考慮する必要がある。そこで、これらの部品の周波数特性を、インピーダンスアナライザ（アジレント製4294A）で導出した。その等価回路を図5に示す。図5の①は抵抗用、②はコンデンサ用の等価回路である。

### 3. 結果

**3.1 EFT/B試験の波形について** 実際のバースト波形の測定環境を、図6に示す。EFT/B試験機に電源線を接続して、さらに負荷抵抗を接続して実施した。負荷抵抗の両端の電圧をアッテネータを介してデジタルオシロスコープで測定した。

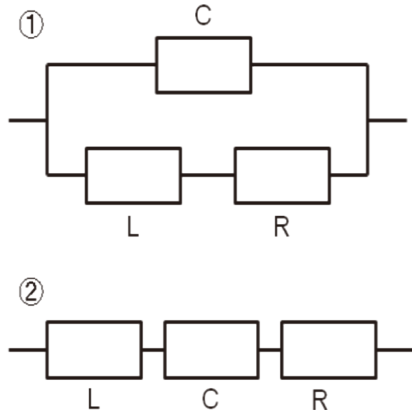


図5. 等価回路 (①抵抗, ②コンデンサ)

100:1プローブを用いて測定した波形を図7，試作したプローブを用いて測定した波形を図8に示す。電圧波形のリングングが抑制されていることが確認できた。このリングングは，シミュレーションの傾向から，配線とグランド基準面との間のpFオーダの静電容量成分が含まれる場合に見られる現象であると考えられ，100:1プローブの影響と推定される。

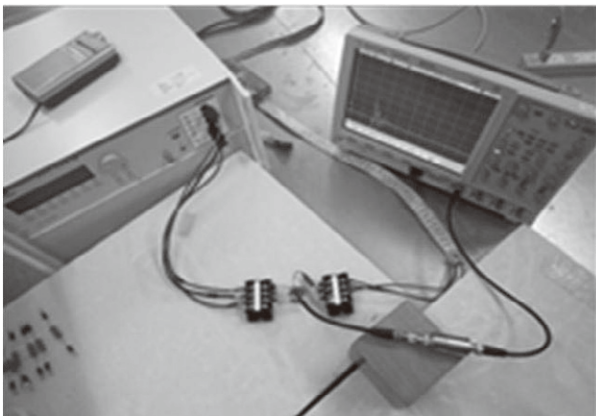


図6. 測定環境

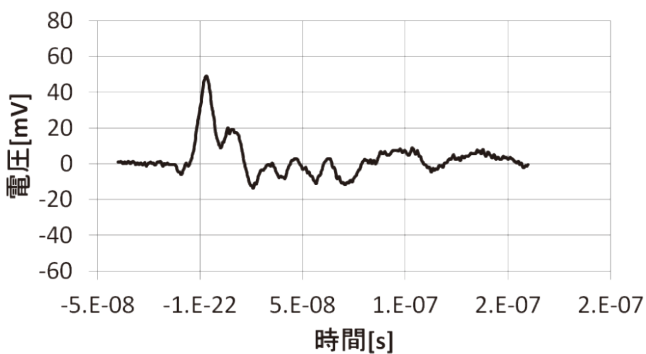


図7. 100:1プローブによるバースト波形観察結果

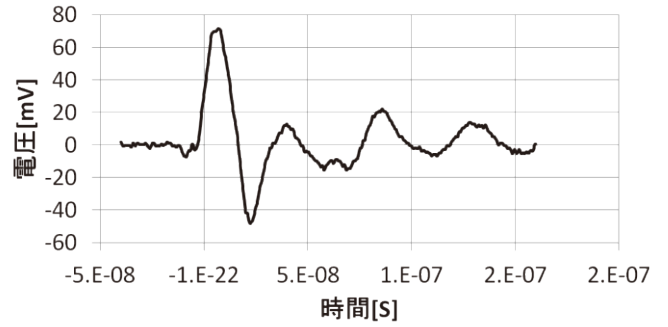


図8. 試作したプローブによるバースト波形観察結果

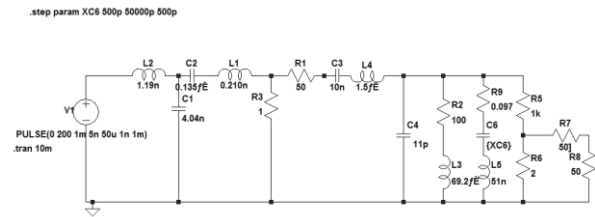


図9. シミュレーション回路図

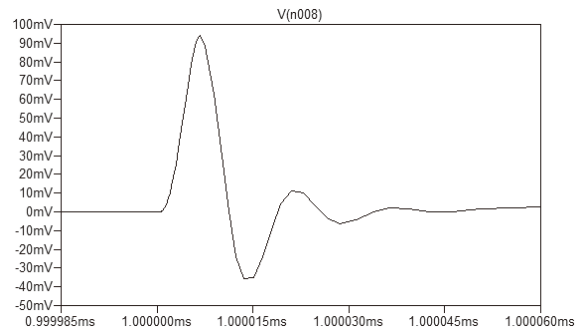


図10. シミュレーション波形例

3.2 LTspice IVによるシミュレーション 図8の条件(試作したプローブ使用)でシミュレーションを実施した。その時の回路図を図9，解析結果を図10に示す。

配線の分布定数，部品の等価回路を考慮することにより，実測に近い解析結果が得られた。

### 3.3 コンデンサによる対策のシミュレーション

EFT/B試験における対策方法の一つとして負荷抵抗に並列にコンデンサを挿入することを検討した。3.2項で測定した解析手法を元に，シミュレーションを実施した。コンデンサの静電容量を500pFから50nFまで変化させたときの解析結果を図11に示す。

図11の結果から，コンデンサの静電容量を大きくすることにより，バースト波形の最大電圧が低くなる傾向が見られた。

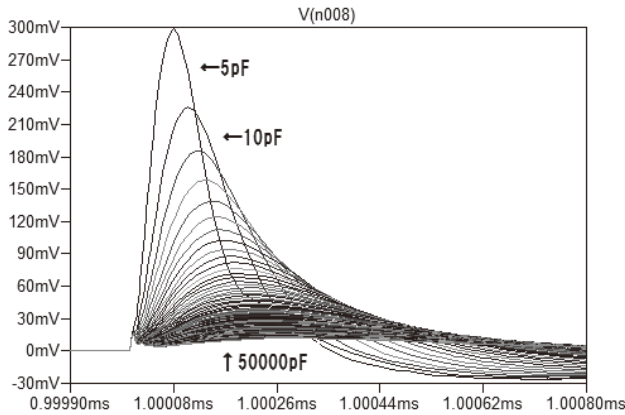


図11. EMC対策部品としてのコンデンサの影響

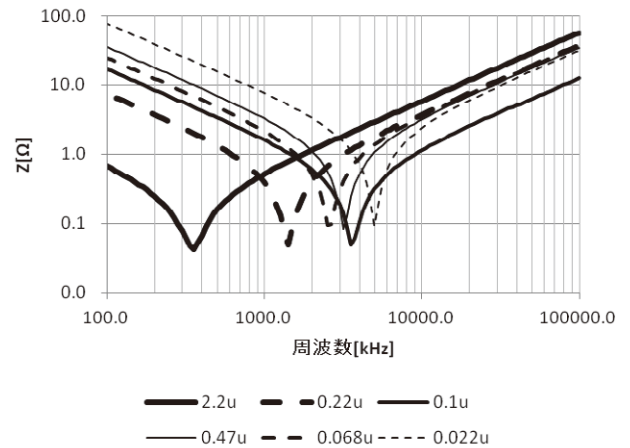


図12. コンデンサのインピーダンス測定結果

3. 4 コンデンサによるEMC対策の事例 EFT/B対策として負荷抵抗に並列にコンデンサを挿入することを試みた。使用したコンデンサは、0.022  $\mu$ Fから2.2  $\mu$ Fの静電容量のものを使用した。各コンデンサのインピーダンスをインピーダンスアナライザで測定し、結果を図12に示す。静電容量が大きくなるにしたがって共振周波数が低くなっていることがわかった。

EMC対策前のバースト波形を図13、2.2  $\mu$ Fのコンデンサを対策部品として使用した結果を図14に示す。バースト波形が小さくなっていることが確認できた。

#### 4. 結言

EFT/B 試験のバースト波形の観察手法を確立した。通常のアナライザで用いるプローブではバースト波形にリングングが生じ易い。それに対して、抵抗を組み合わせたアッテネータで構成されるプローブを用いることにより、このリングングを抑制することができた。

また EFT/B 試験を模擬した回路を作成し、LTspice を用いてバースト波形を再現した。

さらに、EMC 対策方法として抵抗負荷に並列にコンデンサを接続したときの効果をシミュレーションで検証した。その結果、コンデンサの静電容量を増やすことにより、負荷抵抗に現れるバースト波形が減少することが推察された。このシミュレーション結果をもとに、2.2  $\mu$ F のコンデンサを挿入し、その減衰を確認した。

今後、さらに精度の高いシミュレーション技術を構築することにより、様々な対策方法の検証に役立てることができると考える。それにより効果的な上流設計支援が可能となる。

(平成 24 年 5 月 18 日受付, 平成 24 年 7 月 30 日再受付)

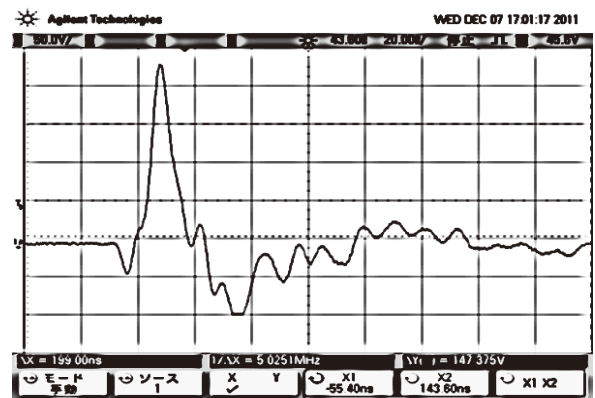


図13. 対策前のバースト波形 (縦軸50V/div)

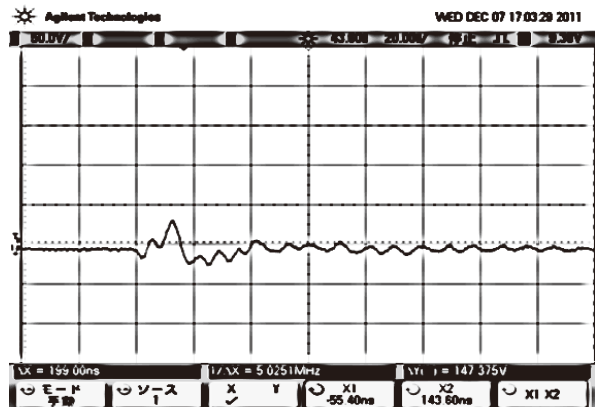


図14. コンデンサによる対策後の波形 (縦軸50V/div)

#### 文 献

- (1) 日本規格協会, 国際標準化委員会: 「IEC 61000-4-4 Ed. 3.0:2012 「電磁両立性(EMC)―第 4-4 部: 試験及び測定技術―電気的ファストトランジェント(高速過渡現象)」, (2012)
- (2) Xiaoche Zhai, Jianhua Wang, Yingsan Geng, Li Yu, Zhiyuan Liu: “Transfer Function and Network Synthesis of Electrical Fast Transient / Burst Generator Based on Latent – Roots Method”, IEEE Transactions on Electromagnetic Compatibility, Vol.50, No.4, p.790 (2010).
- (3) 伊藤健一: 「分布定数回路のはなし」, 日刊工業新聞社, p.90 (2003)